

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-083639

(43)Date of publication of application : 25.03.1994

(51)Int.CI.

G06F 9/46

(21)Application number : 04-234538

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 02.09.1992

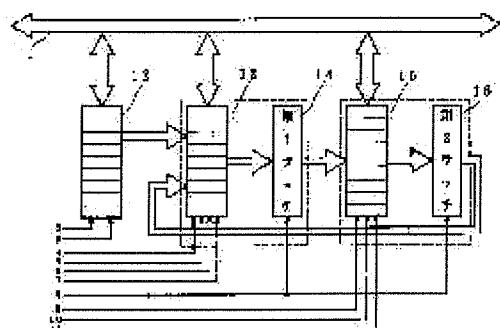
(72)Inventor : KITAMURA FUMIHIDE

## (54) REGISTER DEVICE

### (57)Abstract:

PURPOSE: To attain the saving and the return of the context without using plural bus cycles in an interruption processing operation.

CONSTITUTION: A 2nd register 12 previously stores the information necessary for the interruption processing. When the interruption processing is accepted and the control signals 5 and 10 rise, the value of the register 12 is transferred to a 1st register 13. Then the context of the original task processing stored in a 1st latch 14 is transferred to a 3rd register 15. Meanwhile the value of the register 13 is transferred to the latch 14 before acceptance of the interruption processing. A control signal 6 rises when original task processing is reset, and the context saved to the register 15 is directly transferred to the register 13 via a 2nd latch 16. As a result, the overhead can be reduced and the switching and the return are possible to the interruption processing at a high speed.



## LEGAL STATUS

[Date of request for examination] 11.01.1996

[Date of sending the examiner's decision of rejection] 13.10.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl.<sup>5</sup>  
G 0 6 F 9/46識別記号 庁内整理番号  
3 1 3 Z 8120-5B

F I

技術表示箇所

審査請求 未請求 請求項の数6(全9頁)

(21)出願番号 特願平4-234538

(22)出願日 平成4年(1992)9月2日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 北村 文秀

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

(74)代理人 弁理士 高田 守

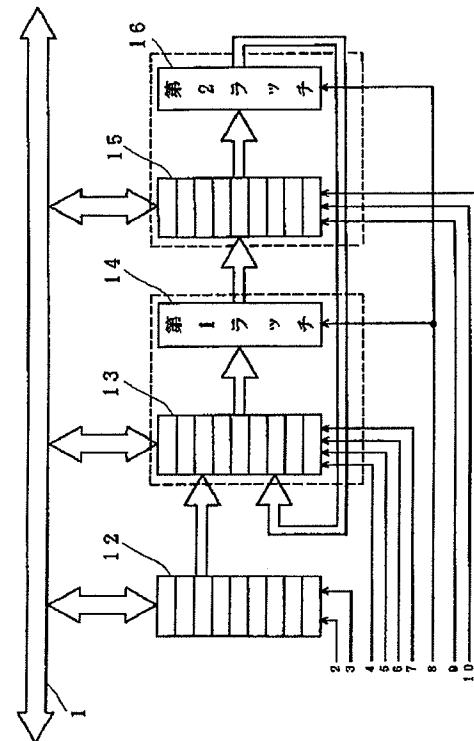
(54)【発明の名称】 レジスタ装置

(57)【要約】

【目的】 割り込み処理に際し、複数のバスサイクルを用いることなくコンテキストの退避及び復帰を可能とする。

【構成】 第2レジスタ12は、予め割り込み処理に必要な情報が格納されている。割り込み処理が受け付けられ制御信号5、10が立ち上ると、第2レジスタ12の値が第1レジスタ13へと転送され、第1ラッチ14に格納されている元のタスク処理のコンテキストが第3レジスタ15へと転送される。尚、割り込み受付前に、第1レジスタ13の値が第1ラッチ14へ転送されている。元のタスク処理へ復帰するとき制御信号6が立ち上がり、第3レジスタ15に退避されたコンテキストが第2ラッチ16を介して直接第1レジスタ13へ転送される。

【効果】 オーバヘッドを削減でき、高速な割り込み処理への切替え及び復帰が可能となる。



## 【特許請求の範囲】

【請求項1】 プロセッサに内蔵されたレジスタ装置であって、

前記プロセッサが割り込み処理を受け付ける以前のタスク処理のコンテキストを格納した第1レジスタ装置と、前記第1レジスタ装置に接続され、前記割り込み処理の受け付け時以前に予め前記割り込み処理に必要な情報が格納された第2レジスタ装置とを備え、

前記第2レジスタ装置は前記割り込み処理の受け付け時に応じて前記割り込み処理に必要な情報を第1レジスタ装置に転送することを特徴とするレジスタ装置。

【請求項2】 プロセッサに内蔵されたレジスタ装置であって、

前記プロセッサが割り込み処理を受け付ける以前のタスク処理のコンテキストを格納した第1レジスタ装置と、前記第1レジスタ装置に接続された第2レジスタ装置とを備え、

前記第1レジスタ装置は前記割り込み処理の受け付け時に応じて実行中のタスク処理の前記コンテキストを第2レジスタ装置に転送することを特徴とするレジスタ装置。

【請求項3】 前記第1レジスタ装置は、前記コンテキストを格納した第1レジスタと、前記第1レジスタと第2レジスタ装置とに接続されたラッチとを備えており、

前記第1レジスタは前記割り込み処理の受け付け時直前に前記コンテキストを前記ラッチに転送し、前記ラッチは前記第1レジスタより転送されてきた前記コンテキストを前記割り込み処理の受け付け時に応じて前記第2レジスタ装置に転送することを特徴とする請求項2記載のレジスタ装置。

【請求項4】 プロセッサに内蔵されたレジスタ装置であって、

割り込み処理に必要な情報を格納した第1レジスタ装置と、

その出力端が前記第1レジスタ装置に接続され、前記割り込み処理の受け付け時におけるタスク処理のコンテキストを格納した第2レジスタ装置とを備え、前記プロセッサが前記割り込み処理の受け付け時におけるタスク処理に復帰する時点に応じて、前記第2レジスタ装置が前記コンテキストを前記第1レジスタ装置に転送することを特徴とするレジスタ装置。

【請求項5】 プロセッサに内蔵されたレジスタ装置であって、

前記プロセッサが現在実行しているタスク処理のコンテキストを格納した第1レジスタ装置と、

その出力端が前記第1レジスタ装置の第1入力端に接続され、前記プロセッサが割り込み処理を受け付ける以前に予め前記割り込み処理に必要な情報が格納された第2

レジスタ装置と、

その入力端が前記第1レジスタ装置の出力端に接続され、その出力端が前記第1レジスタ装置の第2入力端に接続された第3レジスタ装置とを備え、

前記第2レジスタ装置は前記割り込み処理の受け付け時に応じて前記割り込み処理に必要な情報を前記第1レジスタ装置に転送すると共に、

前記第1レジスタ装置は前記割り込み処理の受け付け時に応じて当該受け付け時のタスク処理のコンテキストを前記第3レジスタ装置に転送する一方、

前記プロセッサが前記割り込み処理から前記受け付け時のタスク処理に復帰する時点に応じて、前記第3レジスタ装置は格納する前記コンテキストを前記第1レジスタ装置に転送することを特徴とするレジスタ装置。

【請求項6】 前記第1レジスタ装置は、その第1及び第2入力端がそれぞれ前記第2レジスタ装置の出力端及び前記第3レジスタ装置の出力端に接続され、前記コンテキストを格納した第1レジスタと、前記第1レジスタと第2レジスタ装置との間に接続され

たラッチとを備えており、前記第1レジスタは前記割り込み処理の受け付け時直前に前記コンテキストを前記ラッチに転送し、前記ラッチは前記第1レジスタより転送されてきた前記コンテキストを前記割り込み処理の受け付け時に応じて前記第3レジスタ装置に転送することを特徴とする請求項5記載のレジスタ装置。

## 【発明の詳細な説明】

## 【0001】

## 【産業上の利用分野】

この発明は、プロセッサに内蔵されたレジスタ装置に関するものである。具体的には、プロセッサを用いたシステムの割り込み処理に関して、通常のタスク処理と割り込み処理との切替え及び復帰を高速に実現するレジスタ装置に関するものである。

## 【0002】

【従来の技術】図4は、プロセッサに内蔵されたレジスタ装置の従来の構成を示したブロック図である。従来のレジスタ装置に於いて主要部をなすのは、同図の内部レジスタ13Aである。本内部レジスタ13Aは、プロセッサの内部バス1に接続されており、制御信号4Aが内部レジスタ13Aに印加されると、内部バス1のデータが内部レジスタ13Aに書き込まれる。又、制御信号5Aが内部レジスタ13Aに印加されると、内部レジスタ13Aはそのデータ値を内部バス1に書き出す。又、プロセッサ内部17とプロセッサ外部18との間には、入出力バッファ19が設けられており、プロセッサ外部18のシステムバス20には外部メモリ21が接続されている。この外部メモリ21は、後述するように、内部レジスタ13Aに格納されているコンテキスト(プロセッサが現在実行中のプログラムに関する情報)を、割り込み

処理の間、退避するために用いられるものである。

【0003】次に、図4のレジスタ装置を内蔵したプロセッサを用いたシステムに於いて、プロセッサが割り込み処理を受け付けた時に行われる（a）割り込みハンドラ（割り込み処理専用のプログラム）への処理切替え動作と、（b）割り込みハンドラから元のタスク処理への復帰動作について、以下説明を行う。

【0004】（a）割り込みハンドラへの処理切替え動作

プロセッサが割り込み処理を受け付けると、先ず、割り込みハンドラの処理に先立ってコンテキストの退避を行う。このコンテキストの退避として、内部レジスタ13Aの最新の値（割り込み受付時のタスク処理のコンテキスト）を各レジスタ単位毎に内部バス1へ出力し、出入力バッファ19及びシステムバス20を介して、当該内部レジスタ13Aの最新の値を外部メモリ21に書き出す。

【0005】コンテキストの退避が終了すると、次に外部からプロセッサ内部の他のレジスタに転送され、格納されている割り込みベクタを内部バス1へ出力し、その割り込みベクタの値を内部レジスタ13A内のプログラムカウンタ（図示せず）に書き込む。これにより、割り込みハンドラの処理がプロセッサ内で開始される。

【0006】（b）元のタスク処理への復帰

一方、割り込みハンドラから元のタスク処理へプロセッサが復帰する場合には、外部メモリ21に退避されたコンテキストを内部レジスタ13Aに読み込む必要がある。そこで、各レジスタ単位毎に、外部メモリ21から当該コンテキストがシステムバス20へ出力され、出入力バッファ19及び内部バス1を介して内部レジスタ13Aに読み込まれる。この内部レジスタ13Aの読み込みは、制御信号4Aにより制御される。

【0007】このように、従来のレジスタ装置では、割り込み処理受付後、割り込み処理への移行に当たって、実行中のタクト処理のコンテキストを外部メモリ21に退避した上で、割り込みハンドラ等への処理切替えを行っている。又、退避されたコンテキストを内部レジスタ13Aに再び読み込むことによって、元のタスク処理への復帰を実現している。

【0008】

【発明が解決しようとする課題】従来のレジスタ装置は以上の様に構成されているので、割り込み処理への切替え及び復帰に当たって次の様な問題点が発生していた。

【0009】その一つは、割り込み処理受付により割り込みハンドラ等への処理切替えが行われる度に、内部レジスタの個々の値をコンテキストとして外部メモリに書き出し退避する必要があった。又、元のタスク処理に復帰する際にも、退避されたコンテキストを各々システムバス等を介して内部レジスタに読み込む処理が必要であった。従って、仮にn個のレジスタ情報よりなるコンテキストを退避し、且つ復帰時に読み込みを行うには、n

回のバスサイクルが必要であった。

【0010】このように、従来のレジスタ装置による割り込みハンドラ等への処理移行及び元のタスク処理への復帰には多くのバスサイクルを必要としており、割り込み処理等にリアルタイム性が必要とされる分野に於いては、割り込みハンドラ等への切替えと割り込みハンドラからの復帰にかかるオーバヘッドが、システム上、大きな問題となる。

【0011】この発明は、かかる問題を解決すべくなされたものであり、その目的は、割り込み処理受付に際して必要なコンテキストの退避及び元のタスク処理への復帰に必要なコンテキストの読み込みを複数のバスサイクルを用いることなく高速に実現し得るレジスタ装置を提供することにある。

【0012】

【課題を解決するための手段】

1) 請求項1に係るレジスタ装置は、プロセッサに内蔵されており、プロセッサが割り込み処理を受け付ける以前のタスク処理のコンテキストを格納した第1レジスタ装置と、第1レジスタ装置に接続され、割り込み処理の受け付け時以前に予め割り込み処理に必要な情報が格納された第2レジスタ装置とを備えており、割り込み処理の受け付け時に応じて割り込み処理に必要な情報を第2レジスタ装置が第1レジスタ装置に転送するようにしたものである。

2) 請求項2に係るレジスタ装置は、プロセッサに内蔵され、プロセッサが割り込み処理を受け付ける以前のタスク処理のコンテキストを格納した第1レジスタ装置と、第1レジスタ装置に接続された第2レジスタ装置とを備えており、割り込み処理の受け付け時に応じて第1レジスタ装置が実行中のタスクのコンテキストを第2レジスタ装置に転送するようにしたものである。

3) 請求項3に係るレジスタ装置では、請求項2のレジスタ装置に於ける第1レジスタ装置が、コンテキストを格納した第1レジスタと、第1レジスタと第2レジスタ装置とに接続されたラッチとを備えるようにしたものであり、しかも割り込み処理の受け付け時直前に第1レジスタがコンテキストをラッチに転送し、ラッチは転送されてきた当該コンテキストを割り込み処理の受け付け時に応じて第2レジスタ装置に転送するようしている。

4) 請求項4に係るレジスタ装置は、プロセッサに内蔵され、割り込み処理に必要な情報を格納した第1レジスタ装置と、その出力端が第1レジスタ装置に接続され、割り込み処理の受け付け時におけるタスク処理のコンテキストを格納した第2レジスタ装置とを備えており、プロセッサが割り込み処理から割り込み処理の受け付け時におけるタスク処理に復帰する時点に応じて、第2レジスタ装置がコンテキストを第1レジスタ

装置に転送するようにしたものである。

【0016】5) 請求項5に係るレジスタ装置は、プロセッサに内蔵されており、プロセッサが現在実行しているタスク処理のコンテキストを格納した第1レジスタ装置と、その出力端が第1レジスタ装置の第1入力端に接続され、且つプロセッサが割り込み処理を受け付ける以前に予め割り込み処理に必要な情報が格納された第2レジスタ装置と、その入力端が第1レジスタ装置の出力端に接続され、その出力端が第1レジスタ装置の第2入力端に接続された第3レジスタ装置とを備えており、しかも第2レジスタ装置は割り込み処理の受け付け時に応じて割り込み処理に必要な情報を前記第1レジスタ装置に転送すると共に、第1レジスタ装置は割り込み処理の受け付け時に応じて当該受け付け時のタスク処理のコンテキストを第3レジスタ装置に転送する一方、プロセッサが割り込み処理から受け付け時のタスク処理に復帰する時点に応じて、第3レジスタ装置がコンテキストを第1レジスタ装置に転送するようにしたものである。

【0017】6) 請求項6に係るレジスタ装置では、請求項6の第1レジスタ装置が、その第1及び第2入力端がそれぞれ第2レジスタ装置の出力端及び第3レジスタ装置の出力端に接続され、且つコンテキストを格納した第1レジスタと、第1レジスタと第2レジスタ装置との間に接続されたラッチとを備えるようにしたものであり、しかも第1レジスタは割り込み処理の受け付け時直前にコンテキストをラッチに転送し、ラッチは第1レジスタより転送されてきたコンテキストを割り込み処理の受け付け時に応じて第3レジスタ装置に転送するようしている。

【0018】

【作用】

1) 請求項1に係る発明では、プロセッサが割り込み処理を受け付けると、第2レジスタ装置は、割り込み処理に必要な情報をプロセッサの内部バスを経由することなく直接第1レジスタ装置へ転送する。

【0019】2) 請求項2に係る発明では、プロセッサが割り込み処理を受け付けると、第1レジスタ装置は、プロセッサの内部バスを経由することなく直接に、割り込み処理受け付け時におけるタスク処理のコンテキストをプロセッサ内部の第2レジスタ装置へ転送する。これにより、当該コンテキストの退避が実行されたこととなる。

【0020】3) 請求項3に係る発明では、プロセッサが割り込み処理を受け付ける直前に、第1レジスタが実行中のタスク処理のコンテキストを直接ラッチに転送する。更にラッチは、当該コンテキストを割り込み処理受け付け時に直接第2レジスタ装置へ転送する。従って、割り込み処理受け付け時には、第1レジスタは割り込み処理に必要な情報を受取ることができる状態にある。

【0021】4) 請求項4に係る発明では、プロセッサが割り込み処理から割り込み処理受け付け時に実行していたタスク処理へ復帰するとき、第2レジスタ装置は、プロセッサの内部バスを経由することなく直接に、当該タスク処理のコンテキストを第1レジスタ装置へ転送する。

【0022】5) 請求項5に係る発明では、プロセッサが割り込み処理を受け付けると、第1レジスタ装置が、プロセッサの内部バスを介することなく直接に、割り込み処理受け付け時におけるタスク処理のコンテキストを第3レジスタ装置に転送する。又、同時に、第2レジスタ装置が、同じくプロセッサの内部バスを介することなく直接に、割り込み処理に必要な情報を第1レジスタ装置に転送する。従って、割り込み処理受け付けと同時に、第1レジスタ装置に格納された情報は、タスク処理のコンテキストから上記割り込み処理に必要な情報へと切替られ、且つコンテキストの退避も同時に実行されることとなり、割り込み処理への移行が速やかに完了する。

20 20) 【0023】一方、プロセッサが割り込み処理受け付け時のタスク処理へと復帰するとき、第3レジスタ装置は、プロセッサの内部バスを介することなく直接に、退避されていたそのコンテキストを第1レジスタ装置へ転送する。従って、復帰時と同時に、第1レジスタ装置に格納されていた情報が、割り込み処理に必要な情報から元のタスク処理のコンテキストへと書き換えられる。

【0024】6) 請求項6に係る発明では、プロセッサが割り込み処理を受け付ける直前に、第1レジスタが実行中のタスク処理のコンテキストを直接ラッチに転送する。更にラッチは、当該コンテキストを割り込み処理受け付け時に直接第3レジスタ装置へ転送する。従って、割り込み処理受け付け時には、第1レジスタは割り込み処理に必要な情報を受取ることができる状態にある。

【0025】

【実施例】図1は、この発明の一実施例であるレジスタ装置の構成を示したブロック図である。本図に於いて、図4と同一符号は同一の構成要素を示している。本レジスタ装置の中核となる部分は、第1レジスタ13、第2レジスタ12及び第3レジスタ15である。各レジスタ12、13、15共、プロセッサの内部バス1に接続されている。各レジスタ12、13、15の構成は、次の通りである。

【0026】先ず、第2レジスタ12は後述するように、割り込みハンドラの先頭アドレス等の情報（割り込み処理に必要な情報）を予め格納しておくためのものである。第2レジスタ12には、2つの制御信号2、3が印加されている。この内、前者2は内部バス1の値を当該第2レジスタ12に書き込むための制御信号であり、後者3は第2レジスタ12に格納されている値を内部バ

ス1に読み出すための制御信号である。又、第2レジスタ12の出力端の一つが第1レジスタ13に接続されている。

【0027】一方、第1レジスタ13は、プロセッサの動作に用いるレジスタであり、内部レジスタに対応するものである。この第1レジスタ13には、4種類の制御信号4～7が印加されている。その内、制御信号4は、内部バス1の値を当該第1レジスタ13に書き込むための制御信号であり、制御信号7は第1レジスタ13に格納されている値を内部バス1に読み出すための制御信号である。一方、制御信号5は、第2レジスタ12に格納されている値（割り込み処理に必要な情報）を当該第1レジスタ13に転送するための制御信号であり、又、制御信号6は後述する第2ラッチ16の値を当該第1レジスタ13に転送するための制御信号である。

【0028】第1レジスタ13と第3レジスタ15との間には第1ラッチ14が接続されている。この第1ラッチ14は、第1レジスタ13から転送されてきた値を第3レジスタ15に更に転送するためのものである。本ラッチ14に印加されている制御信号8は、第1レジスタ13に格納されている値を当該第1ラッチ14に転送するためのバスロック信号である。又、このバスロック信号8は、第3レジスタ15に格納された値を第2ラッチ16へ転送するためにも用いられる。

【0029】第3レジスタ15は、割り込み処理を開始する迄のコンテキストであるレジスタ値を記憶するためのものであり、後述するようにコンテキスト退避用のレジスタに該当している。本第3レジスタ15に印加されている制御信号9～11は、次の通りである。即ち、制御信号9は内部バス1の値を第3レジスタ15に書き込むためのものであり、制御信号10は第1ラッチ14の値を第3レジスタ15に転送するための制御信号であり、制御信号11は第3レジスタ15に格納された値を内部バス1へ書き出す為の制御信号である。又、第3レジスタ15の出力端の一端は、第2ラッチ16に接続されている。この第2ラッチ16は、前述した通り、制御信号6に応じて第3レジスタ15から転送されてきた値を第1レジスタ13に転送するためのものである。

【0030】ここで図2は、図1に示した本レジスタ装置を1ビットについて具体的に構成した一例である。図2中、各符号1.1、1.2、1～16.1はそれぞれ図1中の1及び1.2～1.6に対応している。

【0031】又、図3は、図1及び2に示した本レジスタ装置の動作を示すタイミングチャートである。同図(a)～(e)は、各々制御信号2、5、10、6及び8の値を示している。又、同図(f)～(k)は、各々内部バス1の値、第2レジスタ12の値、第1レジスタ13の値、第1ラッチ14の値、第3レジスタ15の値及び第2ラッチ16の値を示している。又、同図(1)は、時間軸を示している。即ち、時刻t22は割り込み

処理に必要な情報を第2レジスタ12に書き込む時刻であり、時刻t23はプロセッサが割り込み処理を受け付けた時刻である。又、時刻t24は割り込みハンドラの処理から割り込み処理以前に行っていたタスク処理にプロセッサが復帰する時刻であり、時刻t25は再びプロセッサが割り込み処理を受け付けた時刻である。

【0032】次に、プロセッサの処理が割り込みハンドラの処理へ切替わる場合の動作について、図3を参照しつつ説明することとする。

10 【0033】先ず、プロセッサが割り込み処理以前に処理しているタスク処理をA系列とし、割り込み処理以降後に処理する割り込みハンドラの処理をB系列とする。図3に示すように割り込み処理時（時刻t23）以前に於いては、第1レジスタ13の値はA1からA2へとA系列の処理に従った値となる。そしてこの時点では、割り込み処理を受け付けた後に実行する割り込みハンドラに必要な情報（ハンドラの先頭アドレス等）を、時刻t22の時か、又はそれ以前に制御信号2によって第2レジスタ12に書き込んでおく。図3では、時刻t22に於いて制御信号2がLレベルからHレベルへ立ち上がり、内部バス1の値B1が第2レジスタ12に書き込まれることとしている。しかも本実施例では、制御信号8も又時刻t22に於いてHレベルへ立ち上がるため、第1レジスタ13が格納しているコンテキストの値A2が第1ラッチ14に転送される。

【0034】次にプロセッサが時刻t23に於いて割り込み処理を受け付けると、制御信号5がHレベルへ立ち上がり、その結果、第2レジスタ12が格納している値B1が第1レジスタ13に転送される。これにより、第3レジスタ13の値は、タスク処理に必要なコンテキスト値A2から割り込みハンドラの実行に必要な値B1へと変わり、プロセッサは直ちに割り込みハンドラの処理を開始する。しかも制御信号10が制御信号5と同期してHレベルへ立ち上がるため、第1ラッチ14に格納されていたコンテキストの値A2が第3レジスタ15へ転送されることとなる。即ち、先のタスク処理に用いられていた第1レジスタ13の値A2は、第1ラッチ14を経由して、時刻t23に於いて第3レジスタ14にコンテキストとして退避されたこととなる。このように割り込み処理が受け付けられると、第2レジスタ12から第1レジスタ13へ直接割り込み処理に必要な情報が転送されると共に、第1レジスタ13が有していた先のタスク処理のコンテキストも又内部バス1を介せず直接に第3レジスタ15へ転送されることとなる。

【0035】同様に、割り込みハンドラの処理から先に実行していたタスク処理に復帰する場合の動作について、図3を参照しつつ説明する。図3に示す通り、割り込みハンドラの処理が行われている間（時刻t23～時刻t24）、第1レジスタ13の値は、割り込みハンドラの処理に従って、B1、B2及びB3へと変わる。

50

【0036】時刻t24に於いて、割り込みハンドラが終了すると、制御信号6がHレベルへ立ち上がり、第3レジスタ15に格納されている先のレジスタ値が、コンテキストとして第2ラッチ16を経由して、第1レジスタ13に転送される。尚、第3レジスタ15から第2ラッチ16への転送は、時刻t23の後に最初に制御信号8がHレベルへ立ち上がる時に実行されている。従って、第1レジスタ13の値は、値B3からA2へと書換えられ、直ちに元のタスク処理が継続される。この様に、元のタスク処理への復帰に於いても、内部バス1を介すことなく、元のタスク処理のコンテキストが直接に第1レジスタ13へと転送される。

【0037】更に、時刻t25に於いて再びプロセッサが割り込み処理を受け付けた場合には、時刻t22に於いて第2レジスタ12に格納されている割り込み処理に必要な情報B1が同様に第1レジスタ13に転送され、以下、時刻t23に於いてプロセッサの処理が割り込みハンドラの処理へと切替わった場合の動作と同じ動作が行われる。

【0038】以上述べた様に、本実施例では割り込み処理に必要な情報を予め第2レジスタ12に転送しているため、従来装置のように割り込み受け付け毎にプロセッサ内部に持つ割り込みハンドラ等の情報を内部バス1を経由してレジスタに転送する必要がなく、割り込み受付後直ちに割り込みハンドラを開始することができる。しかも、プロセッサが割り込み処理を受け付ける毎に生成される制御信号5、10によって、割り込み処理以前に実行していたタスク処理のコンテキストとしてのレジスタ情報が第3レジスタ15に退避され、従来装置のようにプロセッサの外部のメモリ上にスタックとして当該情報を退避する必要がなくなる。これにより、退避するレジスタの個数分だけ外部メモリをアクセスする必要がなくなり、割り込み処理受付後直ちに割り込みハンドラを実行できる。

【0039】更に、割り込みハンドラから元のタスク処理への復帰の際、従来装置のように退避したコンテキストをプロセッサ外部のメモリから読み込むことなく、退避されたコンテキストを第3レジスタ15から第1レジスタ13へと直接転送するだけで行うことができ、メモリアクセスによるオーバヘッドが生じることなく、割り込みハンドラからの復帰を行うことができる。

【0040】尚、割り込みのネスティングが2階層以上の場合には、1階層目の割り込みハンドラへの切替え及び復帰を本レジスタ装置を用いて行い、2階層以上の割り込みハンドラの切替えについては、制御信号5、6及び10をマスクした上で、従来の割り込み処理への切替えと同様に、プロセッサ外部のメモリ上にスタックとして先のタスク処理のコンテキストを退避することとすればよい。即ち、2階層以上の割り込み処理への切替え及び復帰については、従来の機能を用いることとな

る。

【0041】又、高速な切替えが必要とされる特定の割り込みハンドラへの切替え時のみ、本レジスタ装置の第2及び第3レジスタ12、15を利用することも可能である。

【0042】又、本実施例のように割り込み処理への切替え及び復帰を全て第2及び第3レジスタ12、15を用いて行うのではなく、割り込み処理に必要な情報を転送する時にのみ第1及び第2レジスタ13、12を用いるようにしてもよく、又、タスク処理のコンテキストの退避又は復帰にのみ第1及び第3レジスタ13、15を用いるようにすることも可能である。これらの場合には、内部バス1を介した情報の転送が一部利用されることとなる。

【0043】

#### 【発明の効果】

1) 請求項1に係る発明では、割り込み処理の受け付けの度に行う割り込み処理に必要な情報の内部レジスタへの書き込みを、内部バスを用いることなく、直接に第2レジスタ装置から第1レジスタ装置へと書き込むことによって実現することができる。これにより、書き込み時のオーバーヘッドを削減することができ、割り込み処理への切替え動作の高速化に大きく寄与することができる。

【0044】2) 請求項2及び3に係る発明では、割り込み処理受け付け後、割り込み処理へ切替えるために必要とされる現タスク処理のコンテキスト退避を、従来装置の様にプロセッサ外部のメモリへアクセスすることなく、しかもプロセッサ内部のバスをアクセスすることなく、直接に第1レジスタ装置から第2レジスタ装置へと転送することによって速やかに実現することができる。しかも、割り込み処理受け付け後、直ちに当該退避を実現し得る。この様に本発明は、コンテキスト退避時のオーバーヘッドを格段に削減することができ、割り込み処理への高速な切替えの実現に大きく寄与することができる。

【0045】又、コンテキストの退避を直ちに完了させることができることから、次の処理として必要な割り込み処理に必要な情報の第1レジスタ装置への書き込みをも速やかに実行することができる。

【0046】3) 更に請求項3及び6に係る発明では、受け付け時直前に予め第1レジスタに格納されたタスク処理のコンテキストをラッチへ転送しておくことができるため、コンテキストの退避及び割り込み処理に必要な情報の書き込みを、割り込み処理の受け付けと同時にしかも確実に実行することができる。

【0047】4) 請求項4に係る発明では、割り込み処理受け付け時のタスク処理のコンテキストを第1レジスタ装置と直接に接続された第2レジスタ装置に格納しているので、当該第2レジスタ装置から第1レジスタ装

11

置へ上記コンテキストを直接転送するだけで、上記タスク処理への復帰を直ちに実現することができる。その際、外部メモリへのアクセスや内部バスのアクセスを必要としないため、復帰時のオーバーヘッドを格段に削減することができ、復帰後、速やかに元のタスク処理へと移行することが可能となる。この様に本発明は、割り込み処理からの復帰を高速化することができる効果を奏する。

【0048】5) 請求項5及び6に係る発明では、割り込み処理受け付け後、第1レジスタ装置から第3レジスタ装置へタスク処理のコンテキストを直接転送することによって、直ちに当該コンテキストの退避を完了させることができる。その際、プロセッサ内部の第3レジスタ装置を利用しているため外部メモリへのアクセスが必要なく、しかもプロセッサ内部のバスをもアクセスする必要がないため、コンテキスト退避に要するオーバーヘッドを大幅に削減できる。更に割り込み処理に必要な情報も、プロセッサ内部の第2レジスタ装置から内部バスをアクセスすることなく直接に第1レジスタ装置へ当該情報を転送することによって、第1レジスタ装置へ書き込むことができるため、当該書き込みに要するオーバーヘッドを従来装置に比して格段に削減することができる。

【0049】しかも割り込み処理から元のタスク処理へ\*

12

\*の復帰に際しても、第3レジスタ装置から第1レジスタ装置へ当該タスク処理のコンテキストを直接的に転送するだけで良いため、復帰に要するオーバーヘッドをも格段に削減することができる。

【0050】この様に本発明は、割り込み処理への高速な切替えと割り込み処理からの高速な復帰と共に実現することができる。

【図面の簡単な説明】

【図1】この発明の一実施例であるレジスタ装置の構成を示すブロック図である。

【図2】1ビットでのレジスタ装置の具体的構成を示した回路図である。

【図3】レジスタ装置の動作を示したタイミングチャートである。

【図4】従来のレジスタ装置の構成を示したブロック図である。

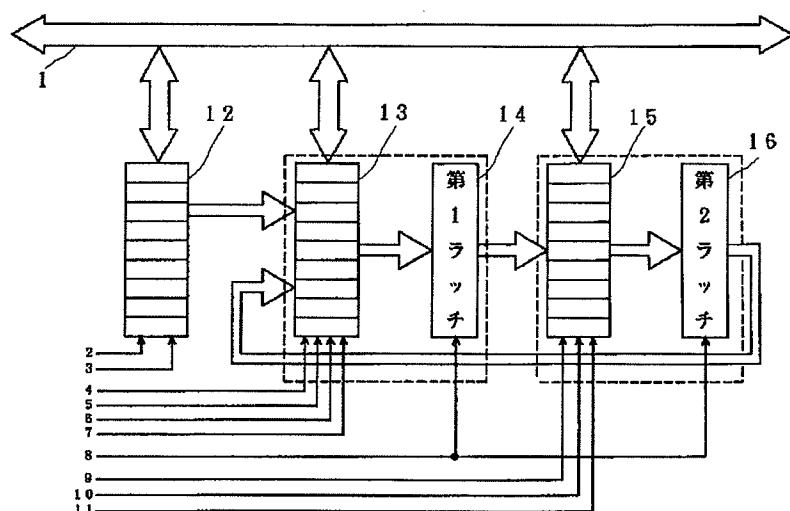
【符号の説明】

- 1 内部バス
- 12 第2レジスタ
- 13 第1レジスタ
- 14 第1ラッチ
- 15 第3レジスタ
- 16 第2ラッチ

20

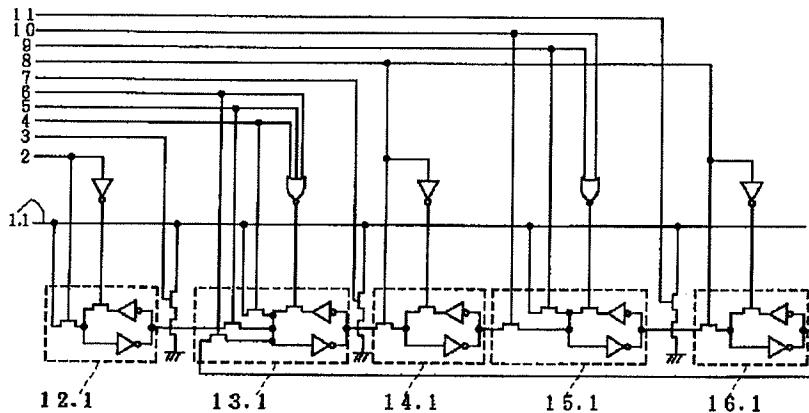
- 12 第2レジスタ
- 13 第1レジスタ
- 14 第1ラッチ
- 15 第3レジスタ
- 16 第2ラッチ

【図1】

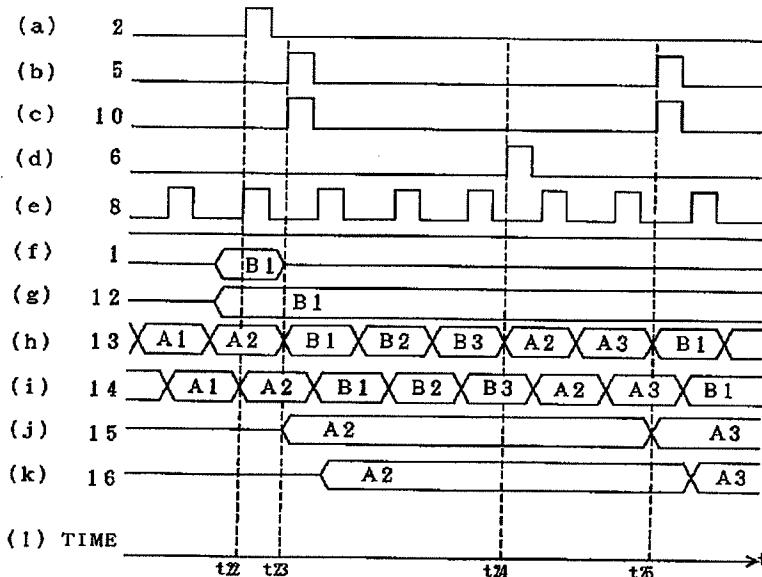


12:第2レジスタ 13:第1レジスタ 15:第3レジスタ

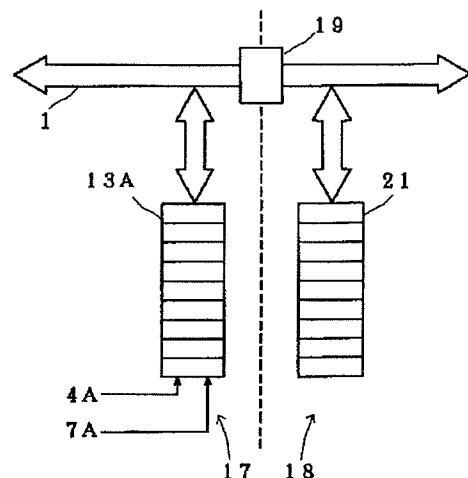
〔図2〕



【図3】



[図4]



## 【手続補正書】

【提出日】平成5年1月11日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】 0005

### 【補正方法】変更

### 【補正内容】

【0005】コンテキストの退避が終了すると、割り込みベクタに従って外部から割込みハンドラの先頭アドレスを読み込み、その値を内部レジスタ13A内のプログラムカウンタ(図示せず)に書き込む。これにより、割り込みハンドラの処理がプロセッサ内で開始される。

### 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

### 【補正方法】麥更

### 【補正内容】

【0007】このように、従来のレジスタ装置では、割り込み処理受付後、割り込み処理への移行に当たって、実行中タスクのコンテキストを外部メモリ21に退避した上で、割り込みハンドラ等への処理切替えを行っている。又、退避されたコンテキストを内部レジスタ13Aに再び読み込むことによって、元のタスク処理への復帰を実現している。

### 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】その一つは、割り込み処理受付により割り込みハンドラ等への処理切替えが行われる度に、内部レジスタの個々の値をコンテキストとして外部メモリに書き出し退避する必要があった。又、元のタスク処理に復帰する際にも、退避されたコンテキストを各システムバス等を介して内部レジスタに読み込む処理が必要であった。従って、仮にn個のレジスタ情報よりなるコンテキストを退避する際の波形を示す。

\* キストを退避し、且つ復帰時に読み込みを行うには、2回のバスサイクルが必要であった。

【手続補正4】

【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】

